

J.W. Price
949/ZC1.8433

09/515285
Priority papers
#2

Toshiya Fukuhisa et al
日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT NAK1-BK00

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日

Date of Application:

1999年 3月 3日

出願番号

Application Number:

平成11年特許願第055021号

出願人

Applicant(s):

松下電子工業株式会社

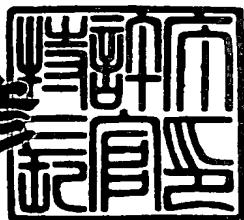
jc713 U.S. PTO
09/515285
02/29/00



2000年 1月 21日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



出証番号 出証特平11-3095154

【書類名】 特許願
【整理番号】 2925000203
【提出日】 平成11年 3月 3日
【あて先】 特許庁長官殿
【国際特許分類】 H01S 3/18
【発明者】
【住所又は居所】 大阪府高槻市幸町1番1号 松下電子工業株式会社内
【氏名】 福久 敏哉
【発明者】
【住所又は居所】 大阪府高槻市幸町1番1号 松下電子工業株式会社内
【氏名】 萬濃 正也
【発明者】
【住所又は居所】 大阪府高槻市幸町1番1号 松下電子工業株式会社内
【氏名】 吉川 昭男
【特許出願人】
【識別番号】 000005843
【氏名又は名称】 松下電子工業株式会社
【代理人】
【識別番号】 100097445
【弁理士】
【氏名又は名称】 岩橋 文雄
【選任した代理人】
【識別番号】 100103355
【弁理士】
【氏名又は名称】 坂口 智康
【選任した代理人】
【識別番号】 100109667
【弁理士】
【氏名又は名称】 内藤 浩樹

特平11-055021

【手数料の表示】

【予納台帳番号】 011316

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809939

【プルーフの要否】 不要

【書類名】 明細書

【発明の名称】 半導体レーザ

【特許請求の範囲】

【請求項1】 n型の導電型を有する基板と、この基板の上に順次形成された、n型の導電型を有するn型クラッド層と、活性層と、p型の導電型を有するp型クラッド層と、一部がストライプ状に除去された電流ブロック構造とを有し、この電流ブロック構造は、前記p型クラッド層に最も近くかつn型の導電型を有する第1電流ブロック層と、この第1電流ブロック層の上に形成され、かつn型の導電型を有する第2電流ブロック層とを含む少なくとも2層の電流ブロック層を有し、前記第1電流ブロック層のキャリア濃度をN1 (cm^{-3})、前記第2電流ブロック層のキャリア濃度をN2 (cm^{-3})としたとき、 $N1 < N2$ であることを特徴とする半導体レーザ。

【請求項2】 $N1 \leq 10^{17} \text{ cm}^{-3}$ であり、かつ $N2 \geq 10^{17} \text{ cm}^{-3}$ であることを特徴とする請求項1記載の半導体レーザ。

【請求項3】 前記少なくとも2層の電流ブロック層のうちの少なくとも1層が、互いに組成の異なる複数の層の組み合わせにより構成されることを特徴とする請求項1記載の半導体レーザ。

【請求項4】 前記第2電流ブロック層がp型不純物とn型不純物とを添加した層であることを特徴とする請求項1記載の半導体レーザ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、光ディスクシステムの光源等に用いられる半導体レーザに関するものである。

【0002】

【従来の技術】

近年実用化されたデジタルビデオディスク等の光ディスク機器用の光源として、現在実用レベルにある半導体レーザの中で最も波長の短いAlGaInP系半導体レーザが用いられている。

【0003】

従来より、AlGaInP系の半導体レーザとして例えば今藤他、エレクトロニクスレターズ第33巻(1997年)1223ページ(O. Imafuji, et al., Electronics Letters volume 33(1997)p.1223)に示されたものが知られている。この半導体レーザは、図6に断面図を示すように、n型GaAs基板1の上に、n型GaAsバッファ層2、 $(Al_xGa_{1-x})_yIn_{1-y}P$ (x=0.7, y=0.5)からなるn型クラッド層3、活性層4、 $(Al_xGa_{1-x})_yIn_{1-y}P$ (x=0.7, y=0.5)からなるp型クラッド層5、およびAlInPからなる電流ブロック層6が順次形成されている。そして電流ブロック層がストライプ状に選択的にエッチングされた上部に、 $(Al_xGa_{1-x})_yIn_{1-y}P$ (x=0.7, y=0.5)からなるp型埋込層7とp型のGa_{0.5}In_{0.5}Pからなるコンタクト層8とp型のGaAsからなるキャップ層9が順次形成されており、キャップ層9の上にはp電極10、n型GaAs基板1の裏面にはn電極11がそれぞれ形成されている。

【0004】

n型GaAsバッファ層2からキャップ層9に至るまでの各層は、有機金属気相成長法(以下MOVPE法という)により形成されている。

【0005】

以下、n型GaAs基板1の上にn型GaAsバッファ層2からキャップ層9に至るまでの各層を順次形成してできる構造を試料という。

【0006】

通常、このような半導体レーザを作製するために、p型埋込層7からキャップ層9に至るまでの各層を埋込再成長によって形成している。通常、これらの層の結晶性を向上させるために、埋込再成長前に試料の温度を700℃以上とし、試料表面に付着している不純物等を取り除くといふいわゆるサーマルクリーニングがなされている。このサーマルクリーニングの時、試料表面からの磷の蒸発を防ぐためにホスフィン(PH₃)等の磷系化合物ガスを供給している。

【0007】

【発明が解決しようとする課題】

しかしながら、上記従来の半導体レーザに関しては、サーマルクリーニングを施す際に、燐系化合物ガスによって電流ブロック層6の、p型クラッド層5との界面付近の部分がn型G a A s 基板1に対して水平な方向にエッティングされるという問題が生じていた。この電流ブロック層6がエッティングされた状態で埋込再成長を行うと、再成長の際に結晶成長しない部分が生じ、空洞12が形成される。この空洞12は半導体レーザの導波損失の原因となっていた。その結果、しきい値電流の上昇等半導体レーザの素子特性に悪影響を及ぼし、実用に耐えうる半導体レーザを得ることはできなかった。

【0008】

本発明は、しきい値電流の低減等レーザ特性を向上させ、かつ信頼性を向上させた半導体レーザを提供することを目的とする。

【0009】

【課題を解決するための手段】

発明者らは、上記サーマルクリーニングを施す際の燐系化合物ガスによるエッティングのされやすさが、電流ブロック層6のキャリア濃度と相関があることを見いだした。すなわち、電流ブロック層6のキャリア濃度が小さくなるほどエッティングされにくくなり、具体的には、キャリア濃度が $1 \times 10^{17} \text{ cm}^{-3}$ ではほとんどエッティングされないを見いだした。

【0010】

上記課題を解決するために本発明の半導体レーザは、n型の導電型を有する基板と、この基板の上に順次形成された、n型の導電型を有するn型クラッド層と、活性層と、p型の導電型を有するp型クラッド層と、一部がストライプ状に除去された電流ブロック構造とを有し、この電流ブロック構造は、前記p型クラッド層に最も近くかつn型の導電型を有する第1電流ブロック層と、この第1電流ブロック層の上に形成され、かつn型の導電型を有する第2電流ブロック層とを含む少なくとも2層の電流ブロック層を有し、前記第1電流ブロック層のキャリア濃度をN1(cm^{-3})、前記第2電流ブロック層のキャリア濃度をN2(cm^{-3})としたとき、 $N1 < N2$ であるものである。

【0011】

この構成により、少なくとも2層の電流ブロック層のうちp型クラッド層に最も近い第1電流ブロック層がn型の導電型を有し、そのキャリア濃度が第1電流ブロック層の上に形成され、かつn型の導電型を有する第2電流ブロック層のキャリア濃度よりも小さいので、第1電流ブロック層の、p型クラッド層の界面付近の部分が基板に対して水平な方向にエッティングされるのを抑制することができる。

【0012】

本発明の半導体レーザは、前記構成において、 $N_1 \leq 10^{17} \text{ cm}^{-3}$ であり、かつ $N_2 \geq 10^{17} \text{ cm}^{-3}$ であるものである。

【0013】

この構成により、 $N_1 \leq 10^{17} \text{ cm}^{-3}$ であるので、第1電流ブロック層の、p型クラッド層の界面付近の部分が基板に対して水平な方向にエッティングされるのをさらに抑制することができる。

【0014】

また、この構成により、 $N_2 \geq 10^{17} \text{ cm}^{-3}$ であるので、電流狭窄を十分に行うことができる。

【0015】

本発明の半導体レーザは、前記構成において、少なくとも2層の電流ブロック層のうちの少なくとも1層が、互いに組成の異なる複数の層の組み合わせにより構成されるものである。

【0016】

この構成により、互いに組成の異なる複数の層を組み合わせてできる多数のヘテロ界面においてn型不純物の拡散を抑えることができるので、第1電流ブロック層の、p型クラッド層の界面付近の部分が基板に対して水平な方向にエッティングされるのをさらに抑制することができる。

【0017】

本発明の半導体レーザは、前記構成において、第2電流ブロック層がp型不純物とn型不純物とを添加した層であるものである。

【0018】

この構成により、第2電流ブロック層においてp型不純物とn型不純物とを添加することでn型不純物の拡散を抑えることができるので、第1電流ブロック層の、p型クラッド層の界面付近における電流ブロック構造が基板に対して水平な方向にエッチングされるのをさらに抑制することができる。

【0019】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照しながら説明する。

【0020】

本発明の第1の実施の形態における半導体レーザは、図1にその断面図を示すように、(100)面の面方位から[011]方向へ10度傾斜したn型GaAs基板1の上に、n型GaAsバッファ層2、 $(Al_xGa_{1-x})_yIn_{1-y}P$ ($x = 0.7, y = 0.5$) からなるn型クラッド層3、活性層4、 $(Al_xGa_{1-x})_yIn_{1-y}P$ ($x = 0.7, y = 0.5$) からなるp型クラッド層5、n型の $Al_{0.5}In_{0.5}P$ からなる第1電流ブロック層13、およびn型の $Al_{0.5}In_{0.5}P$ からなる第2電流ブロック層14が順次形成される。そして選択的に第1電流ブロック層13および第2電流ブロック層14がストライプ状にエッチングされた上部に、 $(Al_xGa_{1-x})_yIn_{1-y}P$ ($x = 0.7, y = 0.5$) からなるp型埋込層7、p型の $Al_{0.5}In_{0.5}P$ からなるコンタクト層8、およびp型のGaAsからなるキャップ層9が順次形成されており、キャップ層9の上にはp電極10、n型GaAs基板1の裏面にはn電極11がそれぞれ形成されている。

【0021】

活性層4は、厚さが5nmの $(Al_{0.5}Ga_{0.5})_{0.5}In_{0.5}P$ よりなる障壁層と、この障壁層により分離された、厚さが6nmの $Al_{0.43}In_{0.57}N$ よりなる2つの井戸層とからなる発光層と、その発光層の両側を挟む、それぞれが $(Al_{0.5}Ga_{0.5})_{0.5}In_{0.5}P$ よりなる厚さが50nmのガイド層とから構成される。レーザの発振波長は、室温において660nmである。

【0022】

p電極10は、キャップ層9に近いほうから厚さ50nmのCr膜、厚さ500nmのAu膜および厚さ100nmのPt膜を順次積み重ねた構造になってい

る。また、n電極11は、基板1側より厚さが50nmのNi膜、厚さが50nmのGe膜および厚さが500nmのAu膜を順次積み重ねた構造になっている。

【0023】

各層のキャリア濃度および膜厚は表1に示す通りである。

【0024】

【表1】

名 称	キャリア濃度 (cm^{-3})	膜厚
キャップ層9	5×10^{18}	$4 \mu\text{m}$
コンタクト層8	2×10^{18}	50nm
p型埋込層7	1×10^{18}	$1.3 \mu\text{m}$
第2電流ブロック層14	1×10^{18}	$0.3 \mu\text{m}$
第1電流ブロック層13	$\leq 1 \times 10^{17}$	$0.3 \mu\text{m}$
p型クラッド層5	3×10^{18}	250nm
活性層4	アンドープ	25nm
n型クラッド層3	1×10^{18}	$1.5 \mu\text{m}$
n型バッファ層2	1×10^{18}	$0.3 \mu\text{m}$
n型GaAs基板1	1×10^{18}	$350 \mu\text{m}$

【0025】

n型GaAsバッファ層2からキャップ層9に至るまでの各層は、MOVPE法により形成されている。また、p型埋込層7からキャップ層9に至るまでの各層は、埋込再成長によって形成されている。埋込再成長前にサーマルクリーニングがなされている。

【0026】

この構成により、第1電流ブロック層13のキャリア濃度が第2電流ブロック層14のキャリア濃度より小さいので、第1電流ブロック層13の、p型クラッド層5の界面付近の部分がn型GaAs基板1に対して水平な方向にエッチングされるのを抑制することができ、p型埋込層7からキャップ層9まで埋込再成長を行う際に結晶成長しない部分を生じにくくすることができ、半導体レーザの導

波損失を小さくすることができて半導体レーザの特性を向上させることができる。

【0027】

特に、n型の導電型を有する第1電流ブロック層13のキャリア濃度が 10^{17} cm^{-3} 以下であるので、第1電流ブロック層13の、p型クラッド層5の界面付近の部分がn型GaN基板1に対して水平な方向にエッティングされるのをいつそう抑制することができる。

【0028】

また、この構成により、n型の導電型を有する第2電流ブロック層14のキャリア濃度が 10^{17} cm^{-3} 以上であるので、電流狭窄を十分に行うことができて半導体レーザの特性を向上させることができる。

【0029】

本発明の効果を確認するために、次のような検討を行った。

【0030】

第1電流ブロック層13のキャリア濃度および導電型を変化させたときの、第1電流ブロック層13のキャリア濃度と、第1電流ブロック層13の、p型クラッド層5の界面付近の部分におけるエッティング速度との関係を調べた。その結果を図2に示す。図2において、黒丸および実線がエッティング速度の測定結果および最適曲線を表す。

【0031】

図2の結果より、次のことがわかった。第1電流ブロック層13のキャリア濃度が小さくなるほどエッティング速度が小さくなり、キャリア濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以下ではエッティング速度はほぼ零であった。

【0032】

本発明の半導体レーザについて顕微鏡による断面観察を行った。その結果、第1電流ブロック層13のキャリア濃度および導電型にかかわらず、第1電流ブロック層13とp型クラッド層5との界面付近を除いてはエッティングが抑えられていることがわかった。

【0033】

第1電流ブロック層13のn型キャリア濃度をそれぞれ $1 \times 10^{17} \text{ cm}^{-3}$ 、 $1 \times 10^{18} \text{ cm}^{-3}$ とした本発明および従来の半導体レーザの電流一光出力特性を図3に示す。図3において、曲線Aが本発明の半導体レーザに関する電流一光出力特性を示す曲線であり、曲線Bが従来の半導体レーザに関する電流一光出力特性を示す曲線である。図3より、本発明の半導体レーザの発振しきい値電流およびスロープ効率が従来のものよりよいことがわかった。すなわち、本発明の半導体レーザの特性が従来のものよりよいことがわかった。これは、本発明の半導体レーザに関してp型埋込層7からキャップ層9まで埋込再成長を行う際に結晶成長しない部分を生じにくくすることができ、半導体レーザの導波損失を小さくすることができて半導体レーザの特性を向上させたものと考えられる。

【0034】

なお、第1電流ブロック層13および第2電流ブロック層14の組成は必ずしも $\text{Al}_{0.5}\text{In}_{0.5}\text{P}$ に限定する必要はなく、p型埋込層7より屈折率の小さい($\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$ ($0.7 < x < 1$ 、 $y = 0.5$)でも同様の効果が得られる。また、第1電流ブロック層13の組成と第2電流ブロック層14の組成とが異なっていても同様の効果が得られる。

【0035】

本発明の第2の実施の形態における半導体レーザは、図4にその断面図を示すように、第1の実施の形態における第1電流ブロック層13に代えて多重ブロック層15を用いたものである。半導体レーザの他の構成は第1の実施の形態に同じである。

【0036】

多重ブロック層15は、キャリア濃度が 10^{17} cm^{-3} 以下のn型で膜厚5nmの $\text{Al}_{0.5}\text{In}_{0.5}\text{P}$ およびキャリア濃度が 10^{17} cm^{-3} 以下のn型で膜厚5nmの($\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$ ($x = 0.7$ 、 $y = 0.5$)を交互に合計30層形成したものである。

【0037】

この構成により、第1の実施の形態における効果をさらに顕著にすることができます。すなわち、多重ブロック層15中の多数のヘテロ界面において第2電流ブ

ロック層14からのキャリアの拡散を抑えることができるので、p型クラッド層5との界面付近における多重ブロック層15がn型GaAs基板1に対して水平な方向にエッチングされるのをさらに抑制することができ、p型埋込層7からキャップ層9まで埋込再成長を行う際に結晶成長しない部分をさらに生じにくくすることができ、半導体レーザの導波損失をより一層小さくすることができて半導体レーザの特性をさらに向上させることができる。

【0038】

本発明の第3の実施の形態における半導体レーザは、図5にその断面図を示すように、第1の実施の形態における第2電流ブロック層14に代えてコドープブロック層16を用いたものである。半導体レーザの他の構成は第1の実施の形態に同じである。

【0039】

コドープブロック層16は、n型不純物が $2 \times 10^{18} \text{ cm}^{-3}$ 、p型不純物が $1 \times 10^{18} \text{ cm}^{-3}$ 添加されたものである。

【0040】

この構成により、第1の実施の形態における効果をさらに顕著にすることができる。すなわち、コドープブロック層16においてn型不純物とp型不純物の双方がドーピングされているので、コドープブロック層16においてn型不純物の拡散が起こりにくくなり、そのためコドープブロック層16から第1電流ブロック層13へのキャリアの拡散を抑えることができる。その結果、p型クラッド層5との界面付近における第1電流ブロック層13がn型GaAs基板1に対して水平な方向にエッチングされるのをさらに抑制することができ、p型埋込層7からキャップ層9まで埋込再成長を行う際に結晶成長しない部分をさらに生じにくくすることができ、半導体レーザの導波損失をより一層小さくすることができて半導体レーザの特性をさらに向上させることができる。

【0041】

【発明の効果】

以上説明したように、本発明の半導体レーザによれば、p型埋込層からキャップ層まで埋込再成長を行う際に結晶成長しない部分を生じにくくすることができ

、半導体レーザの導波損失を小さくすることができて半導体レーザ特性を向上させることができる。また、電流狭窄を十分に行うことができて半導体レーザ特性を向上させることができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態における半導体レーザの断面図

【図2】

第1の電流ブロック層のキャリア濃度とエッチングの速度との関係を示す図

【図3】

本発明の第1の実施の形態における半導体レーザのレーザ特性と従来の半導体レーザのレーザ特性とを比較して示す図

【図4】

本発明の第2の実施の形態における半導体レーザの断面図

【図5】

同第3の実施の形態における半導体レーザの断面図

【図6】

従来の半導体レーザの断面図

【符号の説明】

1 3 第1電流ブロック層

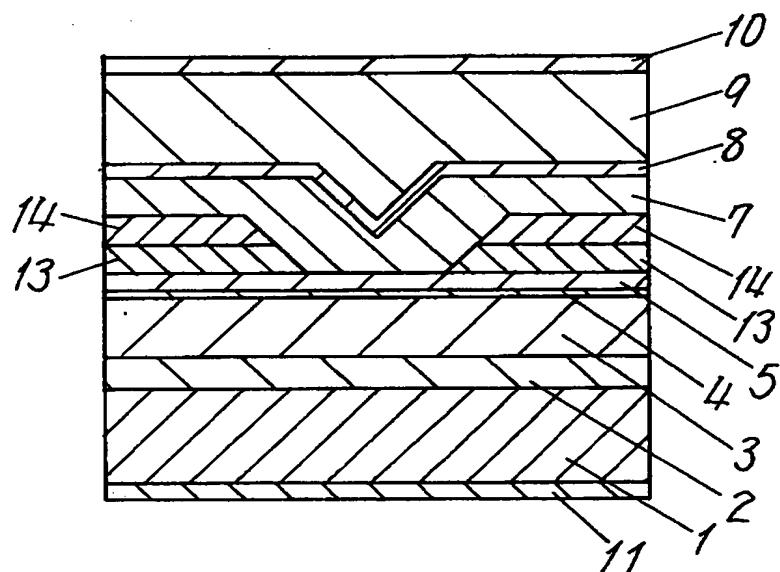
1 4 第2電流ブロック層

1 5 多重ブロック層

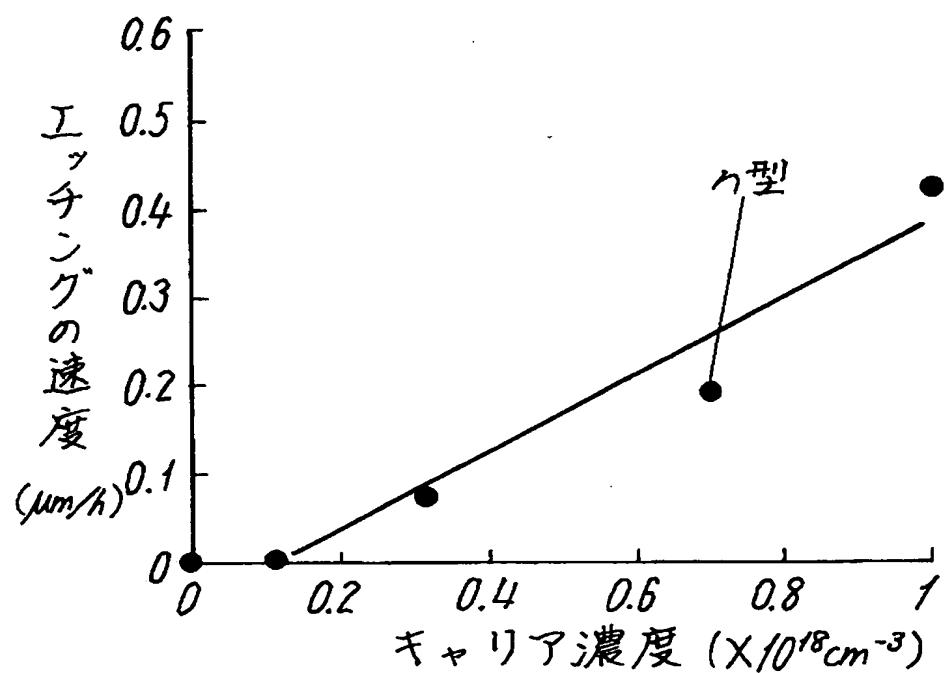
1 6 コドープブロック層

【書類名】 図面

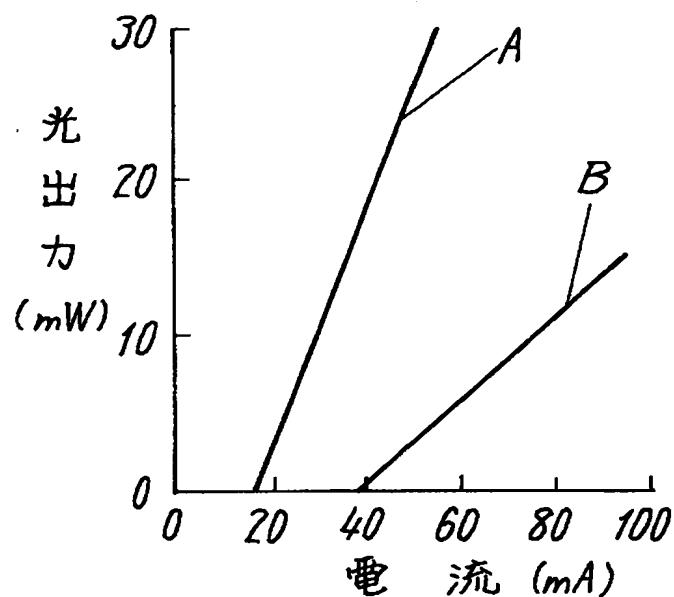
【図1】



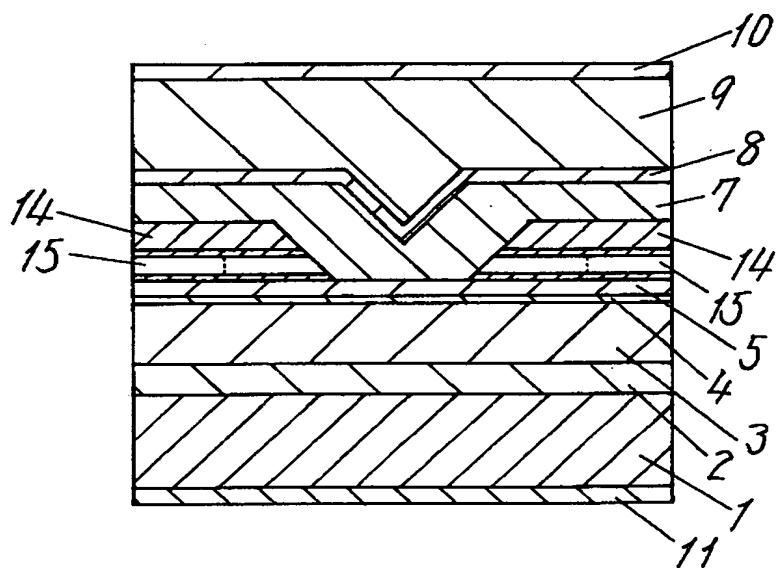
【図2】



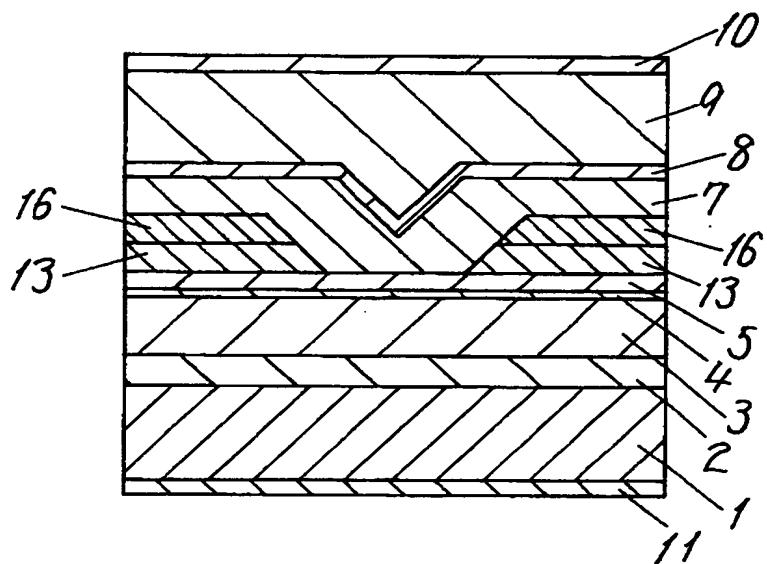
【図3】



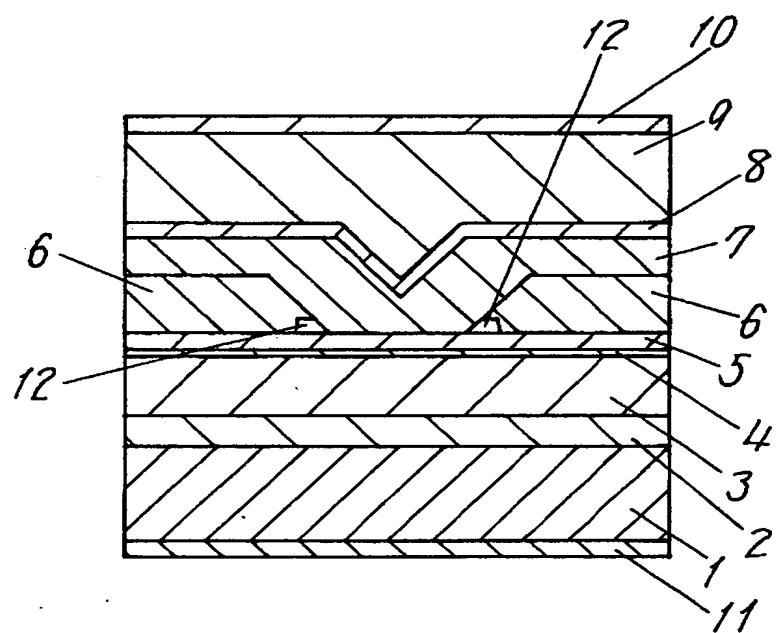
【図4】



【図5】



【図6】



【書類名】 要約書

【要約】

【課題】 埋込再成長を行う際に結晶成長しない部分を生じにくくして半導体レーザの導波損失を小さくする。

【解決手段】 n型G a A s基板1の上に、n型G a A sバッファ層2、n型クラッド層3、活性層4、p型クラッド層5、n型のAl_{0.5}In_{0.5}Pからなる第1電流ブロック層13、n型のAl_{0.5}In_{0.5}Pからなる第2電流ブロック層14を順次形成し、選択的に第1電流ブロック層13および第2電流ブロック層14をストライプ状にエッチングした上部に、p型埋込層7とコンタクト層8とキャップ層9とを順次形成する。キャップ層9の上にp電極10、n型G a A s基板1の裏面にn電極11をそれぞれ形成する。第1電流ブロック層13のキャリア濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以下であり、第2電流ブロック層14のキャリア濃度は $1 \times 10^{18} \text{ cm}^{-3}$ である。

【選択図】 図1

出願人履歴情報

識別番号 [000005843]

1. 変更年月日 1993年 9月 1日

[変更理由] 住所変更

住 所 大阪府高槻市幸町1番1号

氏 名 松下電子工業株式会社